

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-319995  
(P2001-319995A)

(43) 公開日 平成13年11月16日 (2001. 11. 16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)	
H 0 1 L	23/14	H 0 1 L	21/304	6 3 1
	21/3065		21/52	C
	21/304		21/56	E
	21/52		23/14	S
	21/56		21/302	J

審査請求 未請求 請求項の数 4 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願2000-137479 (P2000-137479)

(22) 出願日 平成12年5月10日 (2000. 5. 10)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 岡田 哲也

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

Fターム (参考) 5F004 DB01 DB03

5F047 AA02 BA52

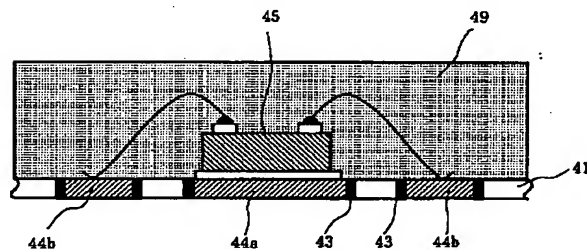
5F061 AA01 BA07 CA04 CB13

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 実装面積を縮小した小型のパッケージを得ると共に、シリコン基板を用いたビアホールのない安価に製造できる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板41に埋め込まれた固着電極44aおよび取り出し電極44bを形成した後、固着電極44a上に半導体チップ45をダイボンズし、半導体チップ45の電極46と取り出し電極44bとを電気的に接続し、絶縁性樹脂49で被覆してからシリコン基板41を裏面より除去することにより、極めて薄型で安価な微小半導体チップの実装に最適の半導体装置の製造方法が実現される



## 【特許請求の範囲】

【請求項 1】 シリコン基板の表面の予定の固着電極及び取り出し電極となる部分にトレンチ溝を形成する工程と、

前記トレンチ溝の少なくとも側面および底面に酸化膜を形成した後、前記トレンチ溝の底面の前記酸化膜を除去する工程と、

前記トレンチ溝に埋め込まれた導電性金属よりなる前記固着電極および取り出し電極を形成する工程と、

前記固着電極上に半導体チップをダイボンドし、前記半導体チップの電極と前記取り出し電極とを電気的に接続する工程と、

前記半導体チップを含み前記シリコン基板表面を絶縁性樹脂で被覆する工程と、

前記シリコン基板を裏面より除去して前記固着電極及び取り出し電極の裏面を露出する工程と、

前記絶縁性樹脂をダイシングして個別の半導体素子に分離する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2】 前記導電性金属は金あるいは銅のメッキで形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記半導体チップの電極と前記取り出し電極とはボンディングワイヤーで接続されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記シリコン基板は裏面より研削により除去されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特にシリコン基板上に設けた固着電極及び取り出し電極を用いて半導体チップの組み立てを行う半導体装置の製造方法に関する。

【0002】

【従来の技術】従来の半導体装置の組立工程においては、ウェハからダイシングして分離した半導体チップをリードフレームに固着し、金型と樹脂注入によるトランスファーモールドによって半導体チップを封止し、リードフレームを切断して個々の半導体装置毎に分離する、という工程が行われている。この手法によって得られる半導体装置は、図 9 に示したように、半導体チップ 1 の周囲を樹脂層 2 で被覆し、該樹脂層 2 の側部から外部接続用のリード端子 3 を導出した構造になる（例えば特開平 05-129473 号）。

【0003】この構造は、樹脂層 2 の外側にリード端子 3 が突出すること、リードフレームの加工精度の問題や金型との位置合わせ精度の問題により、外形寸法とその実装面積の縮小化には限界が見えていた。

【0004】近年、外形寸法を半導体チップサイズと同

等あるいは近似した寸法にまで縮小する事が可能な、ウェハスケール CSP（チップサイズパッケージ）が注目され始めている。これは、図 10（A）を参照して、半導体ウェハ 11 に各種拡散などの前処理を施して多数の半導体チップ 12 を形成し、図 10（B）に示したように半導体ウェハ 11 の上部を樹脂層 13 で被覆すると共に樹脂層 13 表面に外部接続用の電極 14 を導出し、その後半導体ウェハ 11 のダイシングラインに沿って半導体チップ 11 を分割して、図 10（C）に示したような完成品としたものである。樹脂層 13 は半導体チップ 12 の表面（裏面を被覆する場合もある）を被覆するだけであり、半導体チップ 12 の側壁にはシリコン基板が露出する。電極 14 は樹脂層 13 下部に形成された集積回路網と電気的に接続されており、実装基板上に形成した導電パターンに対して電極 14 を対向接着することによりこの半導体装置の実装が実現する。

【0005】斯かる半導体装置は、装置のパッケージサイズが半導体チップのチップサイズと同等であり、実装基板に対しても対向接着で済むので、実装占有面積を大幅に減らすことが出来る利点を有する。また、後工程に拘わるコストを大幅に減じることが出来る利点を有するものである。（例えば、特開平 9-64049 号）そこで、チップサイズが 1 mm 角に満たない程度のチップでは図 11（A）（B）（C）に示すように実装されている。

【0006】図中、21 はセラミックやガラスエポキシ等からなる絶縁基板であり、それらが 1 枚あるいは数枚重ね合わされて、板厚が 250～350 μm と製造工程における機械的強度を維持し得る厚みと、長辺×短辺が 1.0 mm×0.8 mm 程度の矩形形状を有している。

【0007】絶縁基板 21 の表面には、タングステン等の金属ペーストの印刷と、電解メッキ法による前記金属ペースト上への金メッキによって導電パターンを形成し、アイランド部 22 と電極部 23 a、23 b とを形成している。アイランド部 22 の上には、Ag ペーストなどの導電性接着剤 24 によって半導体チップ 25 が固着されている。

【0008】半導体チップ 25 の表面にはアルミ電極パッド 26 が形成され、電極パッド 26 と電極部 23 a、23 b とが、ボンディングワイヤ 27 によって電気接続される。電極パッド 26 側に 1 st ボンド、電極部 23 側に 2 nd ボンドが打たれる。バイポーラトランジスタで有れば、電極部 23 a、23 b はエミッタとベースに対応し、パワー MOSFET で有れば、ソースとゲートに対応する。

【0009】前記絶縁基板 21 の裏面側には、同じく金メッキ層によって第 1 の外部接続電極 28 と第 2 の外部接続電極 29 a、29 b が形成される。絶縁基板 21 にはこれを貫通する、円形の第 1 のビアホール 30 と第 2 のビアホール 31 a、31 b が形成され、各ビアホール

10

20

30

40

50

30、31a、31bの内部はタングステンなどの導電材料によって埋設される。素材としては、電気的導電性と熱伝導性に優れた素材で埋設する。該ビアホール30、31a、31bによって、アイランド部22と第1の外部接続電極28とを、電極部23a、23bと第2の外部接続電極29a、29bとを、各々電気接続する。第1の外部接続電極28が例えばコレクタ電極となり、第2の外部接続電極29a、29bが例えばベース、エミッタ電極となる。

【0010】絶縁基板21の上方は、半導体チップ25とボンディングワイヤ27とを封止する樹脂層32で被覆される。樹脂層32は絶縁基板21と共にパッケージ外形を構成する。パッケージの周囲4側面は樹脂層32と絶縁基板21の切断面で形成され、パッケージの上面は平坦化した樹脂層32の表面、パッケージの下面は絶縁基板21の裏面側で形成される。

【0011】

【発明が解決しようとする課題】しかしながら図11で示した実装構造においていろいろな問題点がある。第1に、セラミックやガラスエポキシ等の高価な基板材料を用い、更にタングステン等の高価な金属ペーストを用いているので、ローコストの実装構造とは言えない。第2に、両面の電極等を接続するために、絶縁基板を貫通するビアホールが不可欠であり、この加工精度も0.15mm程度が限界であるので、更なる小型化の障害となっている。第3にこのビアホール内を金属ペーストで充填するため作業性が極めて悪く、コスト高の原因となる。第4に半導体チップを形成する前工程と絶縁基板を用いて半導体チップを組み立てる後工程に区分されており、リードタイムが長く、製造コストも高くなる等々の多くの問題点が発生している。

【0012】

【課題を解決するための手段】本発明は上述した種々の問題点に鑑みてなされたものであり、シリコン基板の表面の予定の固着電極及び取り出し電極となる部分にトレンチ溝を形成する工程と、前記トレンチ溝の少なくとも側面および底面に酸化膜を形成した後、前記トレンチ溝の側面の前記酸化膜を除去する工程と、前記トレンチ溝に埋め込まれた導電性金属よりなる前記固着電極および取り出し電極を形成する工程と、前記固着電極上に半導体チップをダイボンダし、前記半導体チップの電極と前記取り出し電極とを電気的に接続する工程と、前記半導体チップを含み前記シリコン基板表面を絶縁性樹脂で被覆する工程と、前記シリコン基板を裏面より除去して前記固着電極及び取り出し電極の裏面を露出する工程と、前記絶縁性樹脂をダイシングして個別の半導体素子に分離する工程とから構成されることに特徴を有する。

【0013】

【発明の実施の形態】図1から図8を参照して本発明の半導体装置の製造方法を詳述する。

【0014】本発明は、シリコン基板41の表面の予定の固着電極44aおよび取り出し電極44bとなる部分にトレンチ溝42を形成する工程と、前記トレンチ溝42の少なくとも側面および底面に酸化膜43を形成した後、前記トレンチ溝42の底面の前記酸化膜43を除去する工程と、前記トレンチ溝42に埋め込まれた導電性金属よりなる前記固着電極44aおよび取り出し電極44bを形成する工程と、前記固着電極44a上に半導体チップ45をダイボンダし、前記半導体チップ45の電極46と前記取り出し電極44bとを電気的に接続する工程と、前記半導体チップ45を含み前記シリコン基板41表面を絶縁性樹脂49で被覆する工程と、前記シリコン基板41を裏面より除去して前記固着電極44aおよび取り出し電極44bの裏面を露出する工程と、前記絶縁性樹脂49をダイシングして個別の半導体素子に分離する工程から構成されている。

【0015】本発明の第1の工程は、図1に示す如く、シリコン基板41の表面の予定の固着電極44aおよび取り出し電極44bとなる部分にトレンチ溝42を形成することにある。

【0016】本工程では、約200μmの厚みのシリコン基板41を準備し、予定の固着電極44a及び取り出し電極44bとなる部分を露出して他の部分をホトレジスト層で被覆し、シリコン基板41表面を選択的にドライエッチングして約10～50μmの深さのトレンチ溝42を形成する。予定の固着電極44aを形成するトレンチ溝42aは半導体チップよりやや大きく形成され、予定の取り出し電極44bはボンディングワイヤが固着できるように一辺200μmの正形状にトレンチ溝42bが形成される。

【0017】本発明の第2の工程は、図2および図3に示す如く、トレンチ溝42の少なくとも側面および底面に酸化膜43を形成した後、トレンチ溝42の底面の酸化膜43を除去することにある。

【0018】本工程では、シリコン基板41表面を熱酸化して全面に約5000Åから10000Åの厚い酸化膜43を形成する(図2)。従って、酸化膜43はシリコン基板41表面、トレンチ溝42の側面および底面に形成される。続いてこの酸化膜43を異方性ドライエッチングしてシリコン基板41表面およびトレンチ溝42底面の酸化膜43を選択的に除去する(図3)。これによりトレンチ溝42の側面に酸化膜43が残る。

【0019】本発明の第3の工程は、図4に示す如く、トレンチ溝42に埋め込まれた導電性金属よりなる固着電極44aおよび取り出し電極44bを形成することにある。

【0020】本工程では、銅または金等の導電性金属を電気メッキして、少なくともトレンチ溝42を埋める。導電性金属のメッキ膜はトレンチ溝42を含めてシリコン基板41に全面に形成された後、ホトレッチングによ

10

20

30

40

50

りトレンチ溝42の導電性金属のメッキ膜を残してエッチング除去される。

【0021】本発明の第4の工程は、図5に示す如く、固着電極44a上に半導体チップ45をダイボンディングし、半導体チップ45の電極46と取り出し電極44bとを電気的に接続することにある。

【0022】本工程では、半導体チップ45は固着電極44a表面にAgペーストなどの導電接着剤48によって固着され、半導体チップ45の電極パッド46と取り出し電極44bとをボールボンディングにより各々ボンディングワイヤ47で接続する。

【0023】半導体チップ45は、N+/N型構造のように、裏面側に高濃度不純物層を有しており、該高濃度層を介して、ダイオード素子で有ればアノード又はカソードの一方の端子を、バイポーラ型トランジスタで有ればコレクタ端子を、パワーMOSFETで有ればドレイン端子を導出する構造である。そして、該高濃度層が導電性接着剤48を介して固着電極44aに電気接続される。

【0024】半導体チップ45の表面にはアルミ電極パッド46が形成され、電極パッド46と取り出し電極44bとが、ボンディングワイヤ47によって電気接続される。電極パッド46側に1stボンディング、取り出し電極44b側に2ndボンディングが打たれる。バイポーラトランジスタで有れば、取り出し電極44bはそれぞれエミッタとベースに対応し、パワーMOSFETで有れば、ソースとゲートに対応する。

【0025】本発明の第5の工程は、図6に示す如く、半導体チップ45を含みシリコン基板41表面を絶縁性樹脂49で被覆することにある。

【0026】本工程では、シリコン基板41の上方に移送したディスペンサ（図示せず）から所定量のエポキシ系液体樹脂を滴下（ポッティング）し、すべての半導体チップ45を共通の樹脂層49で被覆する。前記液体樹脂として例えばCV576AN（松下電工製）を用いた。滴下した液体樹脂は比較的粘性が高く、表面張力を有しているため、その表面が湾曲する。樹脂層49の湾曲した表面を平坦面に加工するには、樹脂が硬化する前に平坦な成形部材を押圧して平坦面に加工する手法と、滴下した樹脂層49を100～200度、数時間の熱処理（キュア）にて硬化させた後に、湾曲面を例えばダイシングブレードで研削することによって平坦面に加工する手法とが考えられる。

【0027】本発明の第6の工程は、図7に示す如く、シリコン基板41を裏面より除去して固着電極44aおよび取り出し電極44bの裏面を露出することにある。

【0028】本工程は本発明の特徴とするものであり、シリコン基板41を裏面より研削する。シリコン基板41は約200μmの厚み有するので、大部分をバックグラインドにより機械的に研削し、残りの10～20μm

をスピンエッチングにより化学的に除去する。シリコン基板41の表面は樹脂層49で被覆されているので、樹脂層49の持つ機械的強度でシリコン基板41が割れることはない。この結果、固着電極44aおよび取り出し電極44bの裏面が樹脂層49の裏面側に露出される。このとき酸化膜43は固着電極44aおよび取り出し電極44bの電気的絶縁材として働いている。

【0029】本発明の最終工程は、図8に示す如く、絶縁性樹脂49をダイシングして個別の半導体素子に分離することにある。

【0030】本工程では、半導体チップ45毎に樹脂層49とシリコン基板41を切断して各々の半導体素子に分離する。切断にはダイシング装置を用い、点線で示すダイシングライン50に沿って樹脂層49とシリコン基板41とをダイシングブレード51で同時に切断することにより、半導体チップ45毎に分割した半導体装置を形成する。ダイシング工程においてはシリコン基板41の裏面側にブルーシート（たとえば、商品名：UVシート、リンテック株式会社製）を貼り付け、前記ダイシングブレードがブルーシートの表面に到達するような切削深さで切断する。

【0031】

【発明の効果】以上に説明したように、本発明によれば、リードフレームを用いた半導体装置よりも更に小型化できるパッケージ構造を提供できる利点を有する。このとき、リード端子が突出しない構造であるので、実装したときの占有面積を低減し、高密度実装を実現できる。

【0032】また、半導体チップを固着する基板をシリコン基板で形成できるので、従来のセラミック基板に比べて大幅にコストを削減できる。

【0033】更に、シリコン基板は既存の設備で加工ができ、新たな設備が不要である。シリコン基板も前工程で処理できるので、後工程が極めて短く、リードタイムを大幅に短縮できる。

【0034】更に、ビアホールが不要となるので、スルーホール工程を全面的に排除でき、大幅な工程短縮ができる。

【0035】更に、シリコン基板は半導体チップを作る基板より大口径のものをを用いれば、大量生産に有利となる。

【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明を説明するための断面図である。

【図3】本発明を説明するための断面図である。

【図4】本発明を説明するための断面図である。

【図5】本発明を説明するための断面図である。

【図6】本発明を説明するための断面図である。

【図7】本発明を説明するための断面図である。

【図8】本発明を説明するための平面図である。

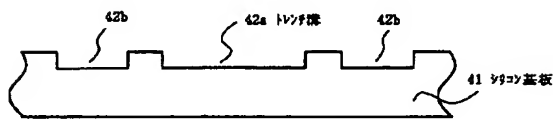
【図9】従来例を説明するための断面図である。

\*【図11】他の従来例を説明するための図である。

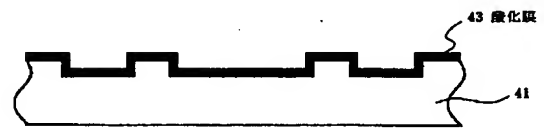
\*

【図10】従来例を説明するための図である。

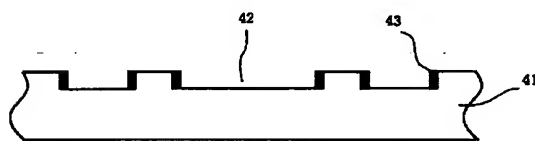
【図1】



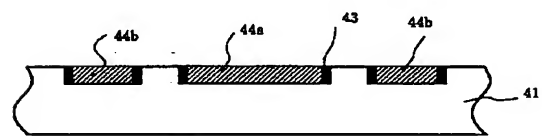
【図2】



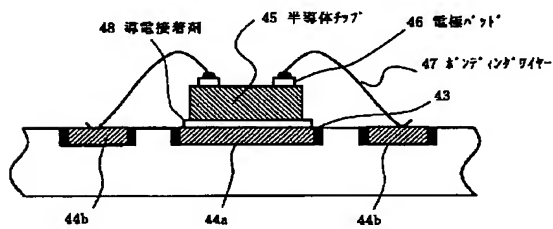
【図3】



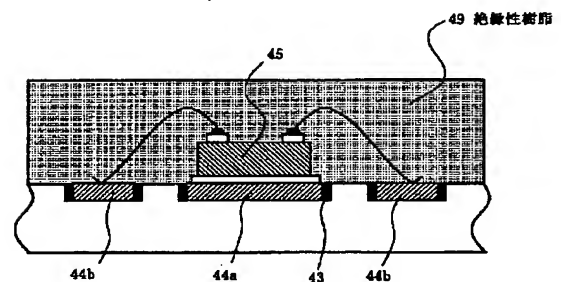
【図4】



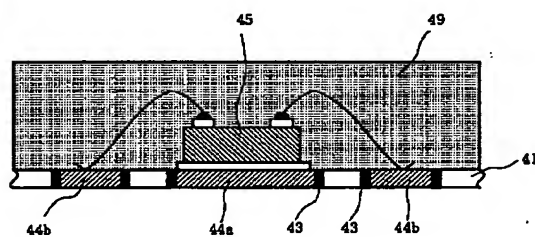
【図5】



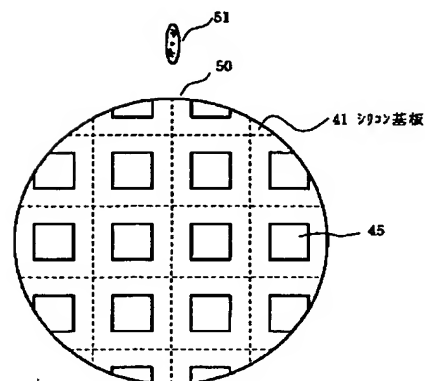
【図6】



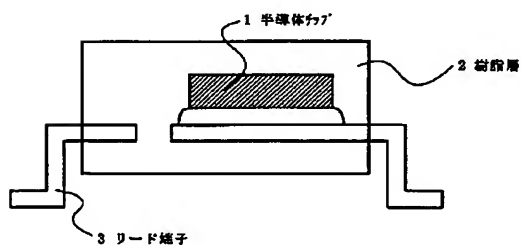
【図7】



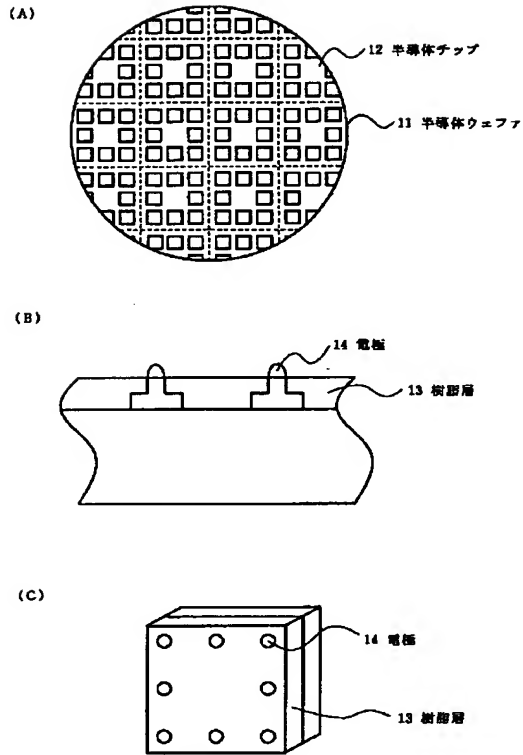
【図8】



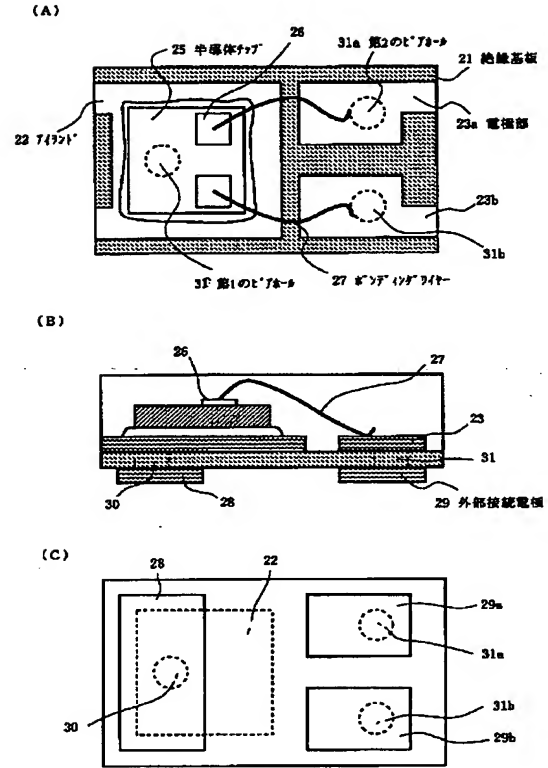
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 21/301  
23/12

識別記号

F I  
H 0 1 L 21/78  
23/12

テーマコード(参考)

L  
L

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-319995

(43)Date of publication of application : 16.11.2001

(51)Int.Cl.

H01L 23/14  
H01L 21/3065  
H01L 21/304  
H01L 21/52  
H01L 21/56  
H01L 21/301  
H01L 23/12

(21)Application number : 2000-137479

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 10.05.2000

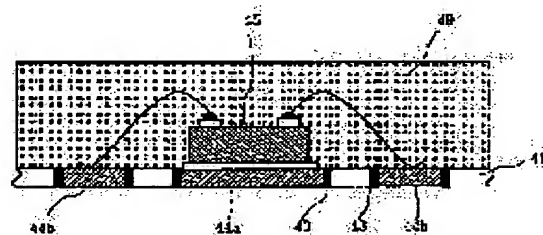
(72)Inventor : OKADA TETSUYA

## (54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device which gives a compact package where a packaging area is reduced, at the same time, uses a silicon substrate, does not have any via holes, and can manufacture inexpensively.

SOLUTION: A sticking electrode 44a that is buried into a silicon substrate 41, and a demountable electrode 44b are formed, a semiconductor chip 45 is die-bonded on the sticking electrode 44a, the electrode 46 of a semiconductor chip 45 is electrically connected to the demountable electrode 44b, and covering is made by an insulating resin 49 for removing the silicon substrate 41 from a back surface, thus achieving the manufacturing method of the semiconductor device for appropriately packaging an extremely thin and inexpensive, minute semiconductor chip.



## LEGAL STATUS

[Date of request for examination]

07.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

3744771

[Date of registration]

02.12.2005

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]



## \* NOTICES \*

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The process which forms a trench slot in the part used as the fixing electrode of the schedule of the front face of a silicon substrate, and an ejection electrode, The process which removes said oxide film of the base of said trench slot after [ said trench slot ] forming an oxide film in a side face and a base at least, The process which forms said fixing electrode and ejection electrode which consist of a conductive metal embedded in said trench slot, The process which carries out die bond of the semiconductor chip on said fixing electrode, and connects electrically the electrode and said ejection electrode of said semiconductor chip, The process which covers said silicon substrate surface with insulating resin including said semiconductor chip, The manufacture approach of the semiconductor device characterized by providing the process which removes said silicon substrate from a rear face, and exposes the rear face of said fixing electrode and an ejection electrode, and the process which carries out the dicing of said insulating resin, and is divided into the semiconductor device according to individual.

[Claim 2] Said conductive metal is the manufacture approach of the semiconductor device according to claim 1 characterized by being formed by plating of gold or copper.

[Claim 3] The electrode and said ejection electrode of said semiconductor chip are the manufacture approach of the semiconductor device according to claim 1 characterized by connecting by the bonding wire.

[Claim 4] Said silicon substrate is the manufacture approach of the semiconductor device according to claim 1 characterized by being removed from a rear face by grinding.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the manufacture approach of a semiconductor device of performing the assembly of a semiconductor chip using the fixing electrode and ejection electrode which were prepared on the silicon substrate, about the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] The process of setting like the erector of the conventional semiconductor device, fixing to a leadframe the semiconductor chip which carried out dicing and which was separated from the wafer, closing a semiconductor chip, cutting a leadframe and dissociating for each semiconductor device of every by the transfer mold by metal mold and resin impregnation is performed. By this technique, as shown in drawing 9, a \*\*\*\*\* semiconductor device covers the perimeter of a semiconductor chip 1 with the resin layer 2, and becomes the structure which drew the lead terminal 3 for external connection from the flank of this resin layer 2 (for example, JP,05-129473,A).

[0003] This structure had the limitation visible to contraction-ization of a dimension and its component-side product with the problem of alignment accuracy with that a lead terminal 3 projects on the outside of the resin layer 2, and the problem metallurgy mold of the process tolerance of a leadframe.

[0004] The wafer scale CSP (chip-size package) which can reduce a dimension even to a semi-conductor chip size, an EQC, or the approximated dimension in recent years is beginning to attract attention. With reference to drawing 10 (A), this pretreats various diffusion etc. to the semi-conductor wafer 11, and forms many semiconductor chips 12. As shown in drawing 10 (B), while covering the upper part of the semi-conductor wafer 11 with the resin layer 13, draw the electrode 14 for external connection on resin layer 13 front face, and a semiconductor chip 11 is divided along the dicing line of the semi-conductor wafer 11 after that. It considers as a finished product as shown in drawing 10 (C). The resin layer 13 only covers the front face (a rear face may be covered) of a semiconductor chip 12, and a silicon substrate exposes it to the side attachment wall of a semiconductor chip 12. The electrode 14 is electrically connected with the integrated network formed in the resin layer 13 lower part, and mounting of this semiconductor device realizes an electrode 14 by carrying out opposite adhesion to the electric conduction pattern formed on the mounting substrate.

[0005] This semiconductor device has the package size of equipment equivalent to the chip size of a semiconductor chip, and since it can be managed with opposite adhesion also to a mounting substrate, it has the advantage which can reduce mounting occupancy area sharply. Moreover, it has the advantage which can reduce the cost concerning a back process sharply. (For example, JP,9-64049,A) With the chip of extent with which a chip size does not fill 1mm angle, as shown in drawing 11 (A), (B), and (C), it is mounted there.

[0006] Among drawing, 21 are an insulating substrate which consists of a ceramic, glass epoxy, etc., and have the thickness in which they can maintain one sheet or a mechanical strength [ in / in board thickness / 250-350 micrometers and a production process ] by piling up several sheets, and the rectangle configuration whose long side x shorter side is about 1.0mmx0.8mm.

[0007] By printing of metal pastes, such as a tungsten, and gold plate of a up to [ said metal paste by electrolysis plating ], an electric conduction pattern is formed in the front face of an insulating substrate 21, and the island section 22 and polar zone 23a and 23b are formed in it. On the island section 22, the semiconductor chip 25 has fixed with the electroconductive glue 24, such as Ag paste.

[0008] The aluminum electrode pad 26 is formed in the front face of a semiconductor chip 25, and electrical connection of the electrode pad 26 and the polar zone 23a and 23b is carried out by the bonding wire 27. 2nd bond is struck to the electrode pad 26 side at a 1st bond and polar-zone 23 side. If it is by the bipolar transistor,

polar zone 23a and 23b corresponds to an emitter and the base, and if it is by power metal-oxide semiconductor field effect transistor, it corresponds to the source and the gate.

[0009] Similarly the 1st external connection electrode 28 and the 2nd external connection electrode 29a and 29b are formed in the rear-face side of said insulating substrate 21 of a gold plate layer. The 1st circular beer hall 30 and 2nd circular beer hall 31a and 31b which penetrate this are formed in an insulating substrate 21, and the interior of each beer halls 30, 31a, and 31b is laid underground with electrical conducting materials, such as a tungsten. As a material, it lays underground for the material excellent in electric conductivity and thermal conductivity. Electrical connection of polar zone 23a and 23b and the 2nd external connection electrode 29a and 29b is respectively carried out for the island section 22 and the 1st external connection electrode 28 by these beer halls 30, 31a, and 31b. The 1st external connection electrode 28 turns into a collector electrode, and the 2nd external connection electrode 29a and 29b turns into the base and an emitter electrode.

[0010] The upper part of an insulating substrate 21 is covered with the resin layer 32 which closes a semiconductor chip 25 and a bonding wire 27. The resin layer 32 constitutes a package appearance with an insulating substrate 21. Perimeter 4 side face of a package is formed by the cutting plane of the resin layer 32 and an insulating substrate 21, and the front face of the resin layer 32 which carried out flattening of the top face of a package, and the inferior surface of tongue of a package are formed by the rear-face side of an insulating substrate 21.

[0011]

[Problem(s) to be Solved by the Invention] However, there are various troubles in the mounting structure shown by drawing 11 . Since the metal paste with a still more expensive tungsten etc. is used [ 1st ] using expensive substrate ingredients, such as a ceramic and glass epoxy, it cannot be said to be the mounting structure of low cost. In order to connect [ 2nd ] a double-sided electrode etc., the beer hall which penetrates an insulating substrate is indispensable, and since this process tolerance is also a limitation, about 0.15mm has been the failure of the further miniaturization. In order to fill up the inside of this beer hall into the 3rd with a metal paste, workability is very bad and causes cost quantity. It is classified into the last process which forms [ 4th ] a semiconductor chip, and the back process which assembles a semiconductor chip using an insulating substrate, and many troubles of \*\* -- lead time is long and a manufacturing cost also becomes high -- have occurred.

[0012]

[Means for Solving the Problem] The process which forms a trench slot in the part which this invention is made in view of the various troubles mentioned above, and serves as a fixing electrode of the schedule of the front face of a silicon substrate, and an ejection electrode, The process which removes said oxide film of the side face of said trench slot after [ said trench slot ] forming an oxide film in a side face and a base at least, The process which forms said fixing electrode and ejection electrode which consist of a conductive metal embedded in said trench slot, The process which carries out die bond of the semiconductor chip on said fixing electrode, and connects electrically the electrode and said ejection electrode of said semiconductor chip, The process which covers said silicon substrate surface with insulating resin including said semiconductor chip, It has the description in consisting of a process which removes said silicon substrate from a rear face, and exposes the rear face of said fixing electrode and an ejection electrode, and a process which carries out the dicing of said insulating resin, and is divided into the semiconductor device according to individual.

[0013]

[Embodiment of the Invention] With reference to drawing 8 , the manufacture approach of the semiconductor device of this invention is explained in full detail from drawing 1 .

[0014] The process which forms the trench slot 42 in the part from which this invention is set to fixing electrode 44a of the schedule of the front face of a silicon substrate 41, and ejection electrode 44b, The process which removes said oxide film 43 of the base of said trench slot 42 after [ said trench slot 42 ] forming an oxide film 43 in a side face and a base at least, The process which forms said fixing electrode 44a and ejection electrode 44b which consist of a conductive metal embedded in said trench slot 42, The process which carries out die bond of the semiconductor chip 45 on said fixing electrode 44a, and connects electrically the electrode 46 of said semiconductor chip 45, and said ejection electrode 44b, The process which covers said silicon substrate 41 front face with insulating resin 49 including said semiconductor chip 45, It consists of a process which removes said silicon substrate 41 from a rear face, and exposes the rear face of said fixing electrode 44a and ejection electrode 44b, and a process which carries out the dicing of said insulating resin 49, and is divided into the semiconductor device according to individual.

[0015] The 1st process of this invention is to form the trench slot 42 in the part used as fixing electrode 44a of the schedule of the front face of a silicon substrate 41, and ejection electrode 44b, as shown in drawing 1 .

[0016] At this process, the silicon substrate 41 with a thickness of about 200 micrometers is prepared, the part used as fixing electrode 44a of a schedule and ejection electrode 44b is exposed, other parts are covered with a photoresist layer, dry etching of the silicon substrate 41 front face is carried out alternatively, and the trench 42 with a depth of about 10–50 micrometers is formed. Trench slot 42a which forms fixing electrode 44a of a schedule is formed a little more greatly than a semiconductor chip, and trench slot 42b is formed in the one-side square configuration of 200 micrometers so that ejection electrode 44b of a schedule can fix a bonding wire.

[0017] As shown in drawing 2 and drawing 3, the 2nd process of this invention is to remove the oxide film 43 of the base of the trench slot 42, after [ the trench slot 42 ] forming an oxide film 43 in a side face and a base at least.

[0018] At this process, silicon substrate 41 front face is oxidized thermally, and the about 5000 to 10000Å thick oxide film 43 is formed in the whole surface ( drawing 2 ). Therefore, an oxide film 43 is formed in the side face and base of silicon substrate 41 front face and the trench slot 42. Then, anisotropy dry etching of this oxide film 43 is carried out, and the oxide film 43 of silicon substrate 41 front face and trench slot 42 base is removed alternatively ( drawing 3 ). Thereby, an oxide film 43 remains in the side face of the trench slot 42.

[0019] The 3rd process of this invention is to form fixing electrode 44a and ejection electrode 44b which consist of a conductive metal embedded in the trench slot 42, as shown in drawing 4.

[0020] Electroplating of the conductive metals, such as copper or gold, is carried out, and the trench slot 42 is filled up with this process at least. After being formed in the whole surface at a silicon substrate 41 including the trench slot 42, the plating film of a conductive metal leaves the plating film of the conductive metal of the trench slot 42 by photoetching, and etching removal is carried out.

[0021] The 4th process of this invention is to carry out die bond of the semiconductor chip 45 on fixing electrode 44a, take out with the electrode 46 of a semiconductor chip 45, and connect electrode 44b electrically, as shown in drawing 5.

[0022] At this process, a semiconductor chip 45 fixes with the electric conduction adhesives 48, such as Ag paste, on a fixing electrode 44a front face, is taken out with the electrode pad 46 of a semiconductor chip 45, and connects electrode 44b respectively by ball bonding at a bonding wire 47.

[0023] If the semiconductor chip 45 has the high concentration impurity layer, and is in a rear-face side with a diode component through this high concentration layer like  $N^+$  / N type structure, there is with a bipolar mold transistor about one terminal of an anode or a cathode and there is by power metal-oxide semiconductor field effect transistor about a collector terminal, it will be structure which derives a drain terminal. And electrical connection of this high concentration layer is carried out to fixing electrode 44a through electroconductive glue 48.

[0024] The aluminum electrode pad 46 is formed in the front face of a semiconductor chip 45, it takes out with the electrode pad 46, and electrical connection of the electrode 44b is carried out by the bonding wire 47. 2nd bond is struck to the electrode pad 46 side at the 1st bond and ejection electrode 44b side. If it is by the bipolar transistor, ejection electrode 44b corresponds to an emitter and the base, respectively, and if it is by power metal-oxide semiconductor field effect transistor, it corresponds to the source and the gate.

[0025] The 5th process of this invention is to cover silicon substrate 41 front face with insulating resin 49 including a semiconductor chip 45, as shown in drawing 6.

[0026] The epoxy system liquid resin of the specified quantity is dropped from the dispenser (not shown) transported above the silicon substrate 41 (potting), and the common resin layer 49 covers all the semiconductor chips 45 at this process. valve flow coefficient576AN (Matsushita Electric Works make) was used as said liquid resin. The dropped liquid resin has comparatively high viscosity, and since it has surface tension, the front face curves. The technique of pressing a flat shaping member and processing a flat side, before resin hardens, in order to process the front face where the resin layer 49 curved on a flat side, and the technique of processing a flat side by carrying out grinding of the curve side for example, with a dicing blade, after stiffening the dropped resin layer 49 by heat treatment (cure) of 100 – 200 degrees and several hours can be considered.

[0027] The 6th process of this invention is to remove a silicon substrate 41 from a rear face, and expose the rear face of fixing electrode 44a and ejection electrode 44b, as shown in drawing 7.

[0028] It is characterized [ of this invention ] by this process, and it carries out grinding of the silicon substrate 41 from a rear face. a silicon substrate 41 — about 200 micrometers — since it \*\*\*\*\*, grinding of most is mechanically carried out by back grinding, and spin etching removes the remaining 10–20 micrometers chemically. Since the front face of a silicon substrate 41 is covered with the resin layer 49, a silicon substrate 41 does not break in the mechanical strength which the resin layer 49 has. Consequently, the rear face of fixing electrode 44a and ejection electrode 44b is exposed to the rear-face side of the resin layer 49. At this time, the

oxide film 43 is working as an electric insulating material of fixing electrode 44a and ejection electrode 44b.

[0029] The final process of this invention is to carry out the dicing of the insulating resin 49, and separate into the semiconductor device according to individual, as shown in drawing 8.

[0030] At this process, the resin layer 49 and a silicon substrate 41 are cut every semiconductor chip 45, and it separates into each semiconductor device. The semiconductor device divided every semiconductor chip 45 is formed in cutting by cutting the resin layer 49 and a silicon substrate 41 to coincidence with the dicing blade 51 along the dicing line 50 shown by the dotted line using dicing equipment. In a dicing process, a blue sheet (for example, a trade name:UV sheet, LINTEC Corp. make) is stuck on the rear-face side of a silicon substrate 41, and it cuts in the cutting depth to which said dicing blade arrives at the front face of a blue sheet.

[0031]

[Effect of the Invention] As explained above, according to this invention, it has the advantage which can offer the package structure which can be further miniaturized rather than the semiconductor device using a leadframe. Since it is the structure where a lead terminal does not project, at this time, the occupancy area when mounting is reduced and high density assembly can be realized.

[0032] Moreover, since the substrate which fixes a semiconductor chip can be formed by the silicon substrate, compared with the conventional ceramic substrate, cost is sharply reducible.

[0033] Furthermore, processing of a silicon substrate is possible with the existing facility, and its new facility is unnecessary. Since a silicon substrate can also be processed at a last process, a back process is very short and can shorten lead time sharply.

[0034] Furthermore, since a beer hall becomes unnecessary, a through hole process can be eliminated extensively and large process compaction can be performed.

[0035] Furthermore, a silicon substrate will become advantageous to mass production method, if the thing of the diameter of macrostomia is used from the substrate which makes a semiconductor chip.

---

[Translation done.]

## \* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

## [Brief Description of the Drawings]

[Drawing 1] It is a sectional view for explaining this invention.

[Drawing 2] It is a sectional view for explaining this invention.

[Drawing 3] It is a sectional view for explaining this invention.

[Drawing 4] It is a sectional view for explaining this invention.

[Drawing 5] It is a sectional view for explaining this invention.

[Drawing 6] It is a sectional view for explaining this invention.

[Drawing 7] It is a sectional view for explaining this invention.

[Drawing 8] It is a top view for explaining this invention.

[Drawing 9] It is a sectional view for explaining the conventional example.

[Drawing 10] It is drawing for explaining the conventional example.

[Drawing 11] It is drawing for explaining other conventional examples.

---

[Translation done.]